

(19)



JAPANESE PATENT OFFICE

## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **2001237372 A**(43) Date of publication of application: **31.08.01**

(51) Int. Cl.

**H01L 27/04**  
**H01L 21/822**
(21) Application number: **2000042893**(22) Date of filing: **21.02.00**(71) Applicant: **HITACHI LTD**
 (72) Inventor:  
**TAKIGAWA KUMIKO**  
**TANAKA SATOSHI**  
**KASAHARA MASUMI**

 (54) SEMICONDUCTOR INTEGRATED CIRCUIT  
 DEVICE

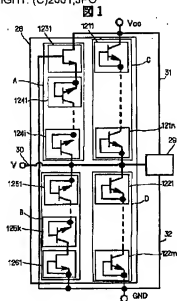
electrostatic charges.

COPYRIGHT: (C)2001, JPO

(57) Abstract:

**PROBLEM TO BE SOLVED:** To protect a plurality of inner circuits (C) for processing signals covering from high frequency bands to low frequency bands from electrostatic breakdown due to positive/negative electrostatic charges.

**SOLUTION:** In internal circuits operating at high frequency bands, a multi-stage connection protective circuit is incorporated, having a plurality of transistors connected as diodes which have low parasitic capacitances and never malfunction if an input signal over the power source voltage is applied. In internal circuits operating at low frequency bands, a protective circuit having a transistor connected as a diode is incorporated. The protective circuits takes each a two-line protective circuit constitution wherein currents for protecting the internal circuits flow in mutually opposite directions against positive and negative



(19) 日本国特許庁 (J P)

## (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-237372

(P2001-237372A)

(43) 公開日 平成13年8月31日 (2001.8.31)

(51) Int.Cl.

識別記号

F I

テレポート (参考)

H 0 1 L 27/04  
21/822

H 0 1 L 27/04

H 5 F 0 3 8

審査請求 未請求 請求項の数11 O L (全 13 頁)

(21) 出願番号 特願2000-42893(P2000-42893)

(22) 出願日 平成12年2月21日 (2000.2.21)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 滝川 久美子

東京都国分寺市東恋ヶ窪一丁目280番地

株式会社日立製作所中央研究所内

(72) 発明者 田中 聰

東京都国分寺市東恋ヶ窪一丁目280番地

株式会社日立製作所中央研究所内

(74) 代理人 100083552

弁理士 秋田 取喜

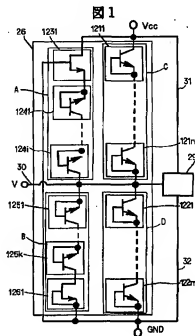
最終頁に続く

(57) 【発明の名称】 半導体集積回路装置

(57) 【要約】

【課題】 高周波数帯から低周波数帯に亘る信号を処理する複数の内部回路 (I C) の正・負の静電気による静電破壊を保護する。

【解決手段】 高周波数帯で動作する内部回路には、寄生容量が小さく、電源電圧以上の入力信号が印加されても誤動作しないダイオード接続した複数のトランジスタによる多段接続の保護回路を組み込み、低周波数帯で動作する内部回路には一つのダイオード接続のトランジスタによる保護回路を組み込む。保護回路は正・負の静電気によっても内部回路を保護する電流の流れる方向相互に逆になる2系統の保護回路構成になっている。



## 【特許請求の範囲】

【請求項1】信号をそれぞれ処理する複数の内部回路を有し、上記各内部回路にそれぞれ接続される信号線及び電源線並びに接地線を有する半導体集積回路装置であって、上記各内部回路の上記信号線と上記電源線間に接続され、静電破壊保護時に上記電源線から上記信号線に向かって電流が流れる第1の保護回路と、上記各内部回路の上記信号線と上記接地線間に接続され、静電破壊保護時に上記信号線から上記接地線に向かって電流が流れる第2の保護回路と、上記各内部回路の上記信号線と上記電源線間に接続され、静電破壊保護時に上記信号線から上記電源線に向かって電流が流れる第3の保護回路と、上記各内部回路の上記信号線と上記接地線間に接続され、静電破壊保護時に上記接地線から上記信号線に向かって電流が流れる第4の保護回路とを有することを特徴とする半導体集積回路装置。

【請求項2】上記第1の保護回路、上記第2の保護回路、上記第3の保護回路及び上記第4の保護回路は上記内部回路の動作時、電流が流れない電位を有する構成になっていることを特徴とする請求項1に記載の半導体集積回路装置。

【請求項3】上記第1の保護回路、上記第2の保護回路、上記第3の保護回路及び上記第4の保護回路のうちのいずれかの保護回路はダイオードを順方向に直列に複数接続した構成になっていることを特徴とする請求項2に記載の半導体集積回路装置。

【請求項4】上記第3の保護回路及び上記第4の保護回路はダイオードを順方向に直列に複数接続した構成になっていることを特徴とする請求項3に記載の半導体集積回路装置。

【請求項5】上記第1の保護回路及び上記第2の保護回路はサーフェスブレイクダウンによる耐圧保護回路と、ソースフォロトランジスタによる耐圧保護回路を有することを特徴とする請求項3に記載の半導体集積回路装置。

【請求項6】上記第1の保護回路及び上記第2の保護回路は耐圧保護回路とダイオードとを直列に接続した保護回路からなることを特徴とする請求項5に記載の半導体集積回路装置。

【請求項7】上記内部回路のうちの第1の内部回路は高周波回路であり、上記内部回路のうちの第2の内部回路は低周波回路であることを特徴とする請求項1に記載の半導体集積回路装置。

【請求項8】上記高周波回路の信号線に接続されるところの上記第3の保護回路及び上記第4の保護回路はダイオードを順方向に直列に複数接続した構成であり、上記低周波回路の信号線に接続されるところの上記第3の保護回路及び上記第4の保護回路は一つのダイオードで構成されていることを特徴とする請求項7に記載の半導体集積回路装置。

【請求項9】上記ダイオードはダイオード接続されたトランジスタで形成されていることを特徴とする半導体集積回路装置。

【請求項10】上記ダイオード接続されたトランジスタのゲートは絶縁物の隆壁で電気的に分離されていることを特徴とする請求項9に記載の半導体集積回路装置。

【請求項11】上記半導体集積回路装置は無線通信装置用の半導体集積回路装置であることを特徴とする請求項1に記載の半導体集積回路装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は半導体集積回路装置に係わり、例えば、中間周波数帯から高周波帯を含む信号の処理を行う回路を有する半導体集積回路装置において、半導体集積回路を構成する回路素子の静電破壊を防止する保護技術に適用して有効な技術に関する。

## 【0002】

【従来の技術】デジタルセルラシステム等の無線通信装置（無線通信移動端末機器、以下、端末機器と称す）は、多くのディスクリットIC（半導体集積回路）によって送・受信系の回路が構成されている。ディスクリットICによって送・受信系の回路が構成された端末機器の代表的な例を図9に示す。ディスクリットICはNEC、RF Micro Device等の半導体部品メーカにより提供されている。また、送受信部をワンチップ化した技術については、例えば、日立評論社発行「日立評論」、Vol. 81, No. 10 (1999-10), PP. 17-20に記載されている。一方、ICの静電破壊保護回路については、例えば、特開平1-230266号公報に開示されている。この文献には、集積回路の端子と電源電圧線または接地線との間にダイオードを複数個直列に接続した静電破壊防止回路が開示されている。また、特開平7-202583号公報には、複数電源電圧の混在に伴うCMOS回路に対応したCMOS保護回路が開示されている。

【0003】ここで、従来の技術について図を用いて説明する。図9は従来の端末機器に内蔵されている送受信回路等を示す模式的ブロック図である。ICはそれぞれ機能毎にディスクリットに作られており、それぞれ四角で囲まれた部分がディスクリットICである。

【0004】このブロック図では、アンテナ1にデュプレクサ2を介して接続する送信系と、受信系とを示しており、送信系及び受信系はいずれも図示しないベースバンドに接続されるものである。

【0005】受信系は、アンテナ1、デュプレクサ2に内蔵されているバンドパスフィルタ3、低雑音増幅器4、バンドパスフィルタ5、受信ミキサ6、バンドパスフィルタ7、可変利得制御増幅器8、復調器9を順次直列接続して構成される。上記復調器9は図示しないベースバンドに接続される。

【0006】送信系は、変調器11、可変利得制御増幅

器12、送信ミキサ13、バンドパスフィルタ14、送信前段増幅器15、高出力増幅器16、デュプレクサ2に内蔵されているバンドパスフィルタ17、アンテナ1を順次直列接続して構成される。上記復調器9は図示しないベースバンドに接続される。また、復調器9及び変調器11はVCO18から入力する局発信号により周波数変換を行う。受信ミキサ6及び送信ミキサ13も同様にVCO19からの局発信号により周波数変換を行う。

【0007】アンテナ1で受信された信号（電波）10は、受信系の各素子で順次処理されてベースバンドに送られる。また、ベースバンドから送られた信号は、送信系の各素子で順次処理されてアンテナ1から電波10として放射される。

【0008】前述のように、四角で囲まれた部分がディスクリットICである。また、その中の小さい四角部分が、静電破壊保護回路20（以下、保護回路と称す）である。このような従来の構成では、各半導体部品メーカーのICカタログ記載の取り扱い注意事項から、数百MHzの中間周波数帯ICである可変利得制御増幅器8、12、復調器9、変調器11には、数10Vから数100Vに及ぶ静電帯電による回路破壊を防止するよう保護回路20が設けられ、高耐圧化を図っていると推察される。

【0009】一方、1GHz近傍の高周波数帯ICである低雑音増幅器4、受信ミキサ6、送信ミキサ13、送信前段増幅器15、高出力増幅器16は、ユーザが静電気に配慮して使用するよう記載されており、保護回路は設けられていないと推察される。保護回路の一例として前述のように特開平7-202583号公報に記載された保護回路が知られている。図10はこの公報に記載された保護回路の図に、説明をし易くするために一部を追加した模式図である。

【0010】図10において、41が保護回路である。Vは集積回路への入力あるいは出力信号であり、信号線44を経て内部回路45へ入力あるいは、内部回路45より出力される。保護回路41は、ダイオード接続されたNMOSTランジスタ42とNMOSTランジスタ43からなる。すなわち、ランジスタ42はゲートとドレインを短絡して信号線44に接続し、ソースを電源電圧 $V_{CC}$ に接続する。また、ランジスタ43はドレインを信号線44に接続し、ゲートとソースを短絡してグラウンドに接続する。また、多段接続されたダイオードで構成する保護回路の一例が前述のように特開平1-230266号公報に開示されている。図11及び図12はこの公報に記載された保護回路と静電破壊防止回路を形成するダイオードの図に、説明をし易くするために一部を追加した模式図である。

【0011】図11に示すように、内部回路54の信号線53と接地線55との間に2個のダイオード51、52が順方向に2段直列に接続されている。信号線53に

より、内部回路54に信号が伝送される。図11では電源側の保護回路が省略されているが、保護回路の動作は、図10で示したものと同一である。

【0012】2段構成とすることにより、 $V_{DD}$ 電圧を上げ、保護回路に流れる電流を抑制している。図12に2段接続で構成する保護回路素子の断面構造を示す。集積回路を形成するP型基板61の一面にはN型エピタキシャル層62が設けられておるとともに、このN型エピタキシャル層62の表面側にはウエルとなるP型拡散層63が複数（図では2個）設けられている。また、P型拡散層63の表層部分にはN型拡散層64が形成されている。これにより、P型拡散層63とN型拡散層64によってPN接合ダイオード（51、52）が形成される。

【0013】また、上記各P型拡散層63とP型拡散層63との間にはチャネルストップパーとしてのP型分離拡散層65が設けられている。このP型分離拡散層65はN型エピタキシャル層62の厚さ方向全域に亘って延在し、その下端はP型基板61に到達している。

【0014】また、上記P型基板61の一面側表面には二酸化シリコン膜66が設けられている。この二酸化シリコン膜66の上記P型拡散層63及びN型拡散層64に対面する一部は除去されてコンタクト窓が設けられている。そして、これらコンタクト窓をも含む上記二酸化シリコン膜66上にはアルミ蒸着層67が所定パターンに形成されている。

【0015】この結果、二つのダイオード51、52はアルミ蒸着層67によって順方向に直列に接続され、一方のダイオード51のカソード電極68が内部回路の信号線53に接続され、他方のダイオード52のアノード電極69が接地線55に接続される。

【0016】

【発明が解決しようとする課題】近年、無線通信移動端末機器の小型化により、図9に示す、低雑音増幅器4、受信ミキサ6、可変利得制御増幅器8、復調器9、変調器11、可変利得制御増幅器12、送信ミキサ13及び送信前段増幅器15等にある2受受信の交復調回路から高周波増幅器までを統合した1チップICが望まれ、開発されており、チップ全体の高耐圧化が必要である。しかし、従来の保護回路を組み込んだワンチップICでは、以下のような問題が派生することが判明した。

【0017】（1）低雑音増幅器4、受信ミキサ6、送信ミキサ13及び送信前段増幅器15等の高周波回路においては、入出力回路に容量、インダクタを含む整合回路が用いられている。この整合回路のインピーダンス変換効果により、集積回路入出力部の信号電圧振幅が増幅される。更に各回路の出力端子は電源電圧直流電位を持ち、電源電位以上の信号を出力するため、従来例のようなランジスタ一段構成による回路を保護回路として適用すると、保護回路に電流が流れるバイアス条件が発生し、信号が歪む問題点がある。

【0018】(2) また従来の保護回路を付けると寄生容量が大きく、利得が劣化する問題点もあり、従来の保護回路を高周波回路の回路に適用することはできない。

【0019】(3) また、従来のトランジスタ二段構成による保護回路では、その素子構造がサイリスタを構成することから、高い静電気が印加されると、電源を落とさない限り過大電流が流れ続け、IC動作が不能になる。

【0020】以下、本発明者等による検討の結果判明した高周波回路に対する保護回路によって生じる問題点について、図13以降を用いて説明する。まず、線形性の劣化について回路出力の場合を説明する。

【0021】図13(a)、(b)は、図10におけるNMOSTランジスタ42、43の静特性と高周波信号の動作を示している。図10に示すような回路構成において、ICの電源、接地が基板上に接続されている通常の動作状態においては、信号線44に回路が所望する信号電圧 $V_{cc}$ が印加されると、保護回路のトランジスタにはほとんど電流は流れず、内部回路45に所望の信号電圧が印加される。

【0022】次に、ICの基板実装中のような取り扱い時にトランジスタがオンとなる電圧 $V_{on}$ +電源電圧 $V_{cc}$ より高い正の静電気1が信号線44に印加されると、NMOSTランジスタ42には、図13(a)に示すように、ダイオード順方向電流1が流れて、内部回路に通電流が流れず、内部回路45は保護される。負の低い静電気も同様に、図13(b)に示すように、 $-V_{on}$ 以下の静電気電圧2が印加されると、トランジスタ43にダイオード順方向電流1'が流れて、内部回路45は保護される。

【0023】ここで、まず、線形性の劣化について回路出力の場合を説明する。上記高周波回路は、出力を大振幅とするために、ソース端子を直接IC外に接続し、重畳、インダクタを用いて整合をとる方式が適用されており、IC出力端子には電源電圧が印加される。図10の内部回路45は、例えば、図9の低雑音増幅器4、または受信ミキサ6、送信ミキサ13、または送信前段増幅器15が相当する。信号線44に電源電圧 $V_{cc}$ が印加し、高周波信号が重畳すると、トランジスタ42には、図13(a)のグラフ原点を中心に高周波電圧46が印加する。高周波電圧振幅が $V_{on}$ 以下であれば、トランジスタ42に高周波電流はほとんど流れず、内部回路の電流振幅が出力される。しかし、電圧振幅が $V_{on}$ を越えて大振幅となると、トランジスタ42に流れる非線形な高周波電流47が流れ、内部回路の出力電流振幅に重畳して出力信号を歪ませる。このような動作条件において、受信回路の希望波の入力電圧が小さいため、 $V_{on}$ 以下の電圧振幅であり、歪みはほとんど問題とならないが、回路前段のフィルタで除去できない近傍帯域の妨害波が大きく、 $V_{on}$ 以上の電圧振幅となると、妨害波が歪みを発

生じて受信帯域内のS/N特性を劣化させる。また、送信回路においては、希望波が大出力振幅となるので、希望波による歪みの発生で同様にS/N劣化が起きる。次に、入力点での場合を説明する。回路がSパイボラートランジスタのようなエンバンスメント型トランジスタ入力点で、バイアス電圧+1V前後の場合には、高周波電圧振幅が入力しても、保護回路は通常OFFであるため、高周波電流は流れず、入力信号を歪ませない。しかしながら、GaAsFETのようなディプレッション型の場合では、図13(b)に示すように、信号線に負の電圧 $V3'$ が印加し、高周波信号が重畳すると、トランジスタ43には、 $V3'$ を中心に高周波電圧48が印加する。高周波電圧が $-V_{on}$ 以下であれば、トランジスタ43に高周波電流はほとんど流れず、信号がそのまま内部回路へ入力する。

【0024】しかし、電圧が $-V_{on}$ を越えて大振幅となると、トランジスタ43に流れる非線形な高周波電流49が流れ、内部回路の入力電流振幅に重畳して入力信号を歪ませる。入力信号に歪みがあれば、内部回路で歪みは増幅され、本来の信号で生じる歪みと重畳して線形性は劣化する。上記出力信号の時と同様にS/Nの劣化をもたらす。このような作用は、信号線に対して、電源側、及び接地側に一段ずつのダイオード接続されたトランジスタの保護回路を設けているからである。この問題を解決するために、ダイオード接続したトランジスタを直列に接続し、 $V_{on}$ を上げて内部回路が動作すべき所望の電圧では、ほとんど電流を流さないようにする方法が、前述図11の2段階構成の保護回路である。また、直列接続とすることにより、寄生容量が削減され、周波数特性の劣化は低減される。

【0025】しかしながら、この構造ではチャネルストップのP型拡散層の挿入により、図12の70で示す部分が、サイリスタ構造となる。サイリスタの動作原理を図14で示す。サイリスタは順方向電圧状態で、電圧が低いときは、電流がほとんど流れず、ターンオフの状態であるが、電圧が高くなると、ターンオンして大電流が流れる。このため、多段接続のダイオード構成の保護回路では、静電気の大電圧でターンオン状態になることがあり、これを解消するには電源断としなければならない。このため、従来のトランジスタ構造では実現が難しい。さらに、図10のように、接地から電源に向かう電流が流れる構成では、ICの電源、接地が取られているときは問題ないが、ICが組立作業等取り扱い中のときに帯電した場合、保護回路が機能しない場合がある。例えば、ICがフローティング状態で、接地が開放状態で $V_{cc}$ と信号線44の間にプラス(+)、マイナス(-)の電位差が生じたとすると、信号線のマイナス側からプラス側の $V_{cc}$ は逆電圧となり保護回路に電流は流れない。即ち、 $V_{cc}$ に対して負の静電気に弱く、大きな負の静電気によって内部回路が破壊される恐れがある。

本発明の目的は、正・負の静電気でてもICを確実に保護できる静電破壊保護回路を有する無線通信用の半導体集積回路装置を提供することにある。

【0026】本発明の他の目的は、低周波回路（含む中間周波数帯の回路）及び高周波数帯の回路を静電破壊から保護できる保護回路を有する無線通信用の半導体集積回路装置を提供することにある。

【0027】本発明の他の目的は、高周波回路の線型性及び利得を劣化させることのない耐静電破壊に優れた無線通信用の半導体集積回路装置を提供することにある。

【0028】本発明の上記ならびにそのほかの目的と新規な特徴は、本明細書の記述および添付図面からあきらかになるであろう。

【0029】

【課題を解決するための手段】本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、下記のとおりである。

【0030】(1) ICの中間周波数帯の回路（低周波回路）に対しては、電源線及び接地線に、それぞれ一段のダイオード接続されたトランジスタからなる保護回路を設ける。ICの高周波帯の回路に対しては、寄生容量が小さく、かつ信号の特性を劣化させない保護回路として、適用する回路の動作点に応じて、電源電圧以上の出力信号が印加されても $V_{th}$ を越えない多段の保護回路、及び負のバイアス電位を越えて入力信号が印加されてもオンしない多段の保護回路を組み込む構成になっている。また、上記保護回路は、IC取り扱い中に生じる静電気の極性に問わず、ICを保護する回路構成になっている。即ち、保護回路は、静電破壊保護時に、電源線から信号線に向かって電流が流れる第1の保護回路と、信号線から接地線に向かって電流が流れる第2の保護回路と、信号線から電源線に向かって電流が流れる第3の保護回路と、接地線から信号線に向かって電流が流れる第4の保護回路とを有する。更に、多段接続のダイオード接続のトランジスタは、サイリスタ動作を防止できる絶縁物で素子（ダイオード接続したトランジスタ）間を分離した構造である。

【0031】上記(1)の手段によれば、(a)半導体集積回路装置において、高周波数帯の各内部回路の入出力部分には多段構成の保護回路が設けられていることから大きな正・負の静電気に起因する内部回路の静電破壊は防止できる。また、低周波数帯の各内部回路の入出力部分には一段構成の保護回路が設けられていることから正・負の静電気に起因する内部回路の静電破壊は防止できる。

【0032】(b)高周波数帯の各内部回路の入出力端子は電源電圧直流電位を持ち、電源電圧以上の信号を出力するため、従来例のようなトランジスタ一段構成による回路を保護回路とした場合には、保護回路に電流が流れるバイアス条件が発生し、信号が歪むが、本発明では多

段構成の保護回路を採用することから信号の歪みを抑止することができる。

【0033】(c)トランジスタはそれぞれ電氣的に絶縁された半導体領域に形成されていることから、従来例のようなトランジスタ二段構成によるサイリスタを防止することができる。

【0034】(d)高周波数帯の各内部回路の入出力部分に設ける保護回路は、ダイオード接続されたトランジスタを多段接続構成してあることから、寄生容量が小さくなり、高周波回路の線形性や利得を劣化させなくなる。

【0035】

【発明の実施の形態】以下、図面を参照して本発明の実施の形態を詳細に説明する。なお、発明の実施の形態を説明するための全図において、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。

【0036】（実施形態1）図1乃至図7は本発明の一実施形態（実施形態1）である半導体集積回路装置に係わる図であり、図1乃至図4は保護回路に係わる図である。

【0037】本実施形態1では、携帯電話用の信号処理ICに本発明を適用した例について説明する。ここで、携帯電話の構成について説明する。図4は携帯電話のシステム構成の一部を示すブロック図である。

【0038】このブロック図は、図9と同様にアンテナ1にデュプレクサ2を介して接続する送信系と、受信系とを示しており、送信系及び受信系はいずれも図示しないベースバンドに接続されるものである。

【0039】受信系は、アンテナ1、デュプレクサ2に内蔵しているバンドパスフィルタ3、低雑音増幅器4、バンドパスフィルタ5、受信ミキサ6、バンドパスフィルタ7、可変利得制御増幅器8、復調器9を順次直列接続して構成される。上記復調器9は図示しないベースバンドに接続される。

【0040】送信系は、変調器11、可変利得制御増幅器12、送信ミキサ13、バンドパスフィルタ14、送信前増幅器15、高出力増幅器16、デュプレクサ2に内蔵しているバンドパスフィルタ17、アンテナ1を順次直列接続して構成される。上記復調器9は図示しないベースバンドに接続される。また、復調器9及び変調器11はVCO18から入力する局発信号により周波数変換を行う。受信ミキサ6及び送信ミキサ13も同様にVCO19から入力する局発信号により周波数変換を行う。

【0041】アンテナ1で受信された信号（電波）10は、受信系の各素子で順次処理されてベースバンドに送られる。また、ベースバンドから送られた信号は、送信系の各素子で順次処理されてアンテナ1から電波10として放射される。アンテナ1から放射される信号10及びアンテナ1で受信する信号10は、例えば、1GHz

帯の高周波数帯となり、ベースバンドと間で信号を授受する復調器9や変調器11等では低周波数帯の信号を処理する。低周波数帯の信号は、例えば数百MHzの中間周波数帯である。

【0042】本実施形態1では、図4において実線が開まれる単一の半導体ICチップ25に上記低雑音増幅器4を始めとする信号を処理する各回路素子（内部回路）がモノリシックに組み込まれている。即ち、この半導体ICチップ25には内部回路として、低雑音増幅器4、受信ミキサ6、可変利得制御増幅器8、復調器9、VCO18、変調器11、可変利得制御増幅器12、送信ミキサ13、送信前段増幅器15及びVCO19がモノリシックに組み込まれている。

【0043】半導体ICチップ25の入出力部分には、数10Vから数100Vに及ぶ静電帯電（正・負の静電気）による内部回路の静電破壊を防止するために保護回路がそれぞれ設けられて高耐圧化されている。この保護回路は、高周波数帯のものに対してはダイオード接続したトランジスタを複数直列に接続した多段構造の保護回路26とし、低周波数帯、即ち中間周波数帯のものに対してはダイオード接続したトランジスタ一つ使用する一段の保護回路27としてある。

【0044】多段構造の保護回路26は、低雑音増幅器4、受信ミキサ6及び送信前段増幅器15の入出力部分、可変利得制御増幅器8の入力部分、送信ミキサ13の出力部分にそれぞれ設けられている。一段の保護回路27は、復調器9の出力部分と変調器11の入力部分にそれぞれ設けられている。次に、高周波数帯の入出力部分に設ける多段構造の保護回路26について、図1乃至図4を参照しながら説明する。

【0045】多段構造の保護回路26は、図1及び図2に示すように、内部回路29に接続される信号線30と電源線31及び接地線32との間に多段構造のダイオードを配置して構成されている。図1に示すVは内部回路29への入力あるいは出力信号であり、信号線30を経て内部回路29へ入力あるいは、内部回路29から出力される。

【0046】多段構造の保護回路26は、図2に示すように、静電破壊保護時に、電源線31から信号線30に向かって①のルートで電流が流れる第1の保護回路Aと、信号線30から接地線32に向かって②のルートで電流が流れる第2の保護回路Bと、信号線30から電源線31に向かって③のルートで電流が流れる第3の保護回路Cと、接地線32から信号線30に向かって④のルートで電流が流れる第4の保護回路Dとを有する。第1の保護回路Aと第2の保護回路Bは負の静電気による内部回路29の静電破壊を防止し、第3の保護回路Cと第4の保護回路Dは正の静電気による内部回路29の静電破壊を防止する。

【0047】保護回路を構成するダイオードは、ダイオ

ード接続されたバイポーラトランジスタが使用されるとともに、後述する構造によってサイリスタ現象が発生しないようになっている。

【0048】第3の保護回路Cは、いずれもベースとエミッタを短絡してダイオード接続とした複数のバイポーラトランジスタ1211~121nを直列に接続した多段構造になっている。1段目のトランジスタ1211は、コレクタを電源V<sub>CC</sub>（電源線31）に接続し、エミッタを後段のトランジスタのコレクタに接続する。n段目のトランジスタ121nは、コレクタを前段のトランジスタのエミッタに接続し、エミッタを信号線30に接続する。2段目から（n-1）段目の各トランジスタは、コレクタを前段のトランジスタのエミッタに接続し、エミッタを後段のトランジスタのコレクタに接続する構造になっている。

【0049】第4の保護回路Dは、いずれもベースとエミッタを短絡してダイオード接続された複数のバイポーラトランジスタ1221~122mを直列に接続した多段構造になっている。1段目のトランジスタ1221は、コレクタを信号線30に接続し、エミッタを後段のトランジスタのコレクタに接続する。m段目のトランジスタ122mは、コレクタを前段のトランジスタのエミッタに接続し、エミッタをグラウンド（接地線32）に接続する。2段目から（m-1）段目の各トランジスタは、コレクタを前段のトランジスタのエミッタに接続し、エミッタを後段のトランジスタのコレクタに接続する構造になっている。

【0050】このようにして、電源に接続されるトランジスタ1211からトランジスタ121nのV<sub>BE</sub>を高くすることにより、内部回路29の所望する動作電圧では、トランジスタをオフとして、電流を流さない様にする。同様にグラウンドに接続するトランジスタ1221から122mのV<sub>BE</sub>を低くすることにより、内部回路29の所望する動作電圧では、トランジスタをオフとして、電流を流さない様にする。

【0051】第1の保護回路Aは、第3の保護回路Cに並列に設けられ、耐圧保護回路と多段接続構成のダイオードで形成されている。即ち、第1の保護回路Aは、電源V<sub>CC</sub>（電源線31）と信号線30間に耐圧保護回路を構成するMOSTランジスタ1231と、このMOSTランジスタ1231と信号線30間に接続される複数のバイポーラトランジスタ1241~124iとからなる。上記トランジスタ1241~124iはいずれもベースとエミッタをダイオード接続した構造であり、相互に直列に接続され、全体が多段構成になっている。MOSTランジスタ1231はドレインを電源線31に接続し、ソースを1段目のトランジスタ1241のエミッタに接続し、ゲートを接地線32に接続している。1段目のトランジスタ1241のコレクタは後段のトランジスタのエミッタに接続されている。i段目のトランジスタ

124 i は、エミッタを (i-1) 段目のトランジスタのコレクタに接続し、コレクタを信号線 30 に接続している。2 段目から (i-1) 段目の各トランジスタは、エミッタを前段のトランジスタのコレクタに接続し、コレクタを後段のトランジスタのエミッタに接続する構造になっている。第 2 の保護回路 B は、第 4 の保護回路 D に並列に設けられ、耐圧保護回路と多段接続構成のダイオードで形成されている。即ち、第 2 の保護回路 B は、信号線 30 と接地線 32 (グラウンド) 間に、ベースとエミッタをダイオード接続しかつ直列に多段接続した複数のバイポーラトランジスタ 1251~125k と、上記トランジスタ 125k のコレクタと接地線 32 間に接続した耐圧保護回路を構成する MOS トランジスタ 1261 からなる。MOS トランジスタ 1261 はドレインをトランジスタ 125k のコレクタに接続し、ソースを接地線 32 に接続している。

【0052】このような構成の保護回路 26 において、半導体 IC チップ 25 の取り扱い時帯電し、IC の電源線、接地線、信号線にそれぞれ電位差が生じた時の静電気電流の経路を図 2 に示す。図中では、説明の便宜上、第 1 の保護回路 A 及び第 2 の保護回路 B はトランジスタ単段構成とし、第 3 の保護回路 C 及び第 4 の保護回路 D はトランジスタ二段構成とし、ダイオードとして簡略的に示した。

【0053】図 2 の表が、電源 ( $V_{cc}$ )、接地 (GN D)、信号線 (S) の電位関係と、そのとき回路内で、①~④のどの電流経路で電流が流れるかを示している。MOS トランジスタは高い静電気がかかることにより、パンチスルーまたは、ソースフォロフにより電流が流れる。表から明らかなように、いかなる部分のいかなる電位差においても電流経路があり、内部回路 29 に過電流を流さないようになっている。一方、所望する正の電圧を内部回路 29 に印加する場合を考えると、トランジスタ 1221~122m、トランジスタ 1241~124 i は逆バイアスとなるので、電源側への不要なリーク電流は生じない。トランジスタ 1211~121n も  $V_{cc} + V_{on} \times n$  個以下の電圧であればオンしない。また同様に、トランジスタ 1261 はパンチスルーを起こさずグラウンド側へのリークも生じない。

【0054】所望する電圧が負の場合は、トランジスタ 1251~125k、トランジスタ 1211~121n が逆バイアスとなる。トランジスタ 1221~122m も  $-V_{on} \times m$  個まではオンしない。また MOS トランジスタ 1231 も電流が流れない。そのため、正しく電圧が印加される。

【0055】これらのバイポーラトランジスタは、図 6 に示すような構造になっている。バイポーラトランジスタは、シリコン板 72 上に二酸化シリコン層 73 のような絶縁物を層積して作られる SOI (Silicon on Insulator) 基板 71 を基に形成されている。SOI 基板 71

上には N 型エピタキシャル層 74 が形成されている。上記 N 型エピタキシャル層 74 には選択的に無端状の溝がドライエッチング等によって形成されている。この溝は二酸化シリコン層 73 にまで到達している。そして、この溝内には絶縁体 75 が充填されている。例えば、上記溝には CVD (Chemical Vapor Deposition) 方法によって二酸化シリコンが充填されている。従って絶縁体 75 によって囲まれた N 型エピタキシャル層 74 領域は電気的に独立した領域になる。この領域内にトランジスタが形成される。

【0056】上記絶縁体 75 によって囲まれた N 型エピタキシャル層 74 の表面部分には P 型拡散層 76 が形成されている。この領域はベース領域として使用される。また、上記 P 型拡散層 76 及び N 型エピタキシャル層 74 の表面部分には N 型拡散層 77、83 が形成されている。77 の領域がコレクタ領域として使用される。上記 P 型拡散層 76 の表面部分に設けられた N 型拡散層 83 がエミッタ領域となる。

【0057】また、上記 N 型エピタキシャル層 74、絶縁体 75、P 型拡散層 76、N 型拡散層 77 及び 83 上には、二酸化シリコン層 78 が形成されているとともに、上記エミッタ・ベース・コレクタ領域に対面する一部の二酸化シリコン層 78 は除去されてコンタクト孔になっている。そして、これらコンタクト孔を含む領域には、配線が所定パターンに設けられている。この配線によって例えば、コレクタ電極 80、ベース電極 81、エミッタ電極 82 が形成される。

【0058】このようにして、二酸化シリコン層 73 及び絶縁体 75 を障壁とし個々に電気的に分離したトランジスタが形成され、サイリスタは発生しない構造になっている。図 6 では、エミッタ電極 82 とベース電極 81 を配線 79 にて接続してダイオード構成とし、多段に直列接続して保護回路を構成する。以上、バイポーラトランジスタを例としたが、MOSFET を構成する場合でも同様の電気的絶縁分離構造 (アイソレーション構造) を用いる。本トランジスタ構造は、IC 回路全 MOS トランジスタ 1231 で構成されている。MOS トランジスタ 1231 はドレインを電源線 31 に接続し、ソースを信号線 30 に接続し、ゲートを接地線 32 に接続している。

【0059】第 2 の保護回路 B は、耐圧保護回路を構成する MOS トランジスタ 1261 で構成されている。MOS トランジスタ 1261 はドレインを信号線 30 に接続し、ソースを接地線 32 に接続している。

【0060】第 3 の保護回路 C はバイポーラトランジスタ 1211 で構成されている。トランジスタ 1211 はコレクタを電源線 31 に接続し、エミッタを信号線 30 に接続する構造になっている。

【0061】第 4 の保護回路 D は、バイポーラトランジスタ 1221 で構成されている。トランジスタ 1221



は、コレクタを信号線30に接続し、エミッタを接地線32に接続する構造になっている。

【0062】この一段の保護回路27も上記多段構造の保護回路26と同様に正・負の静電気による内部回路29の損傷を防止する。

【0063】次に、本発明のより具体的な回路構成例について説明する。本実施形態は積層回路をBiCMOSで構成するとき適用可能である。図3に内部回路として、図5の低雑音増幅器4に相当する高周波増幅器を用い、本発明の保護回路を出力段に設けた場合の一例を示す。枠で囲まれた部分90が、保護回路を含めたIC内の回路である。IC外の回路95及び96はそれぞれ入力・出力整合回路である。増幅器は標準的なカレントミラー型の増幅器であり、V<sub>b</sub>に電圧を印加して、トランジスタ93に定電流を流し、高周波入力電圧V<sub>in</sub>を与えて、増幅したV<sub>out</sub>の信号電圧を得るものである。回路図の91の部分が保護回路であり、保護回路を構成するトランジスタ92a～92iは、図6に示した構造からなり、層々に電気的に分離されている。内部のトランジスタ93のコレクタ94には、出力整合回路96のインダクタを経て電源電圧と同じ3Vが印加される。保護回路のトランジスタが92aの1段しかないとするとき、バイポーラトランジスタの指数関数特性に従って、コレクタ端子94が電源電圧3Vから保護回路に順方向電流が増幅器出力電流に重畳する。増幅器の電圧振幅が極めて小さい時は問題とならないが、振幅が上がると、保護回路の非線形型電流が大きくなり、歪みを生じる。増幅器のダイナミックレンジを満足できる電圧として、保護回路のV<sub>on</sub>を4Vとなるように、保護回路のトランジスタを3段直列接続として、回路動作点で電流を流さない様にした。上記例の回路は負電源は不要なため、接地側に接続されるトランジスタは一段として、低い負の静電気が印加されても、回路の保護がかかるようにした。また、この保護回路により、IC取り扱い時に静電気が生じても、上記に説明した通りICは保護される。

【0064】図4に保護回路の電源側に接続するトランジスタが1段の時と3段の時の増幅器の入出力特性を示す。図から明らかなように、1段直列接続から3段直列接続とすると、1dB圧縮点は-15dBmから-8dBmとなり、線形性は改善されている。さらに、各トランジスタのコレクターエミッタ間容量が直列接続となるため、保護回路の寄生容量は、電源及び設置にそれぞれ一段のダイオード接続されたトランジスタからなる従来の保護回路と比べて減少し、増幅器の利得劣化は小さい。中間周波数帯の回路は周波数が低いために、従来の保護回路でも寄生容量による特性劣化は極めて小さい。また、隣り合うトランジスタは絶縁物である二酸化シリコン層で分離されており、セルフ動作することはない。以上は、エンハンスメント型のトランジスタの出力点を例としたが、GaAsFETのように、ディレク

ション型のトランジスタ入力の場合、接地側に接続するトランジスタの-V<sub>on</sub>がトランジスタのゲートに印加する電圧より高いと、入力信号に非線形電流が重畳して増幅されることになり、同様に線形性が劣化する。そのため、-V<sub>on</sub>を低くするように接地側に接続するトランジスタを直列接続とした保護回路を、入力部にも設けることが必要である。以上のように、トランジスタの直列数は、内部回路の動作点、1dB圧縮点目標値により決められる。

【0065】本実施形態1の半導体集積回路装置は、以下の効果を有する。

【0066】(1) 半導体集積回路装置において、高周波数帯の各内部回路29の入出力部分には多段構造の保護回路26が設けられていることから大きな正・負の静電気に起因する内部回路29の静電破壊は防止できる。

また、低周波数帯の各内部回路の入出力部分には一段の保護回路27が設けられていることから正・負の静電気に起因する内部回路の静電破壊は防止できる。

【0067】なお、上記のように、高周波回路部の保護回路を直列接続にすると、V<sub>on</sub>が上がるため、中間周波数帯の保護回路に比べ、電流が流れにくくなり静電気耐圧は低くなる。しかしながら、IC(内部回路)を破壊する静電気電圧は数10Vから数100Vで、本発明を適用するような低い電源電圧で動作するICよりはるかに高い電圧である。このため、V<sub>on</sub>を上げたことによるわずかな耐圧の減少は問題とならない。

【0068】(2) 高周波数帯の各内部回路29の出力端子は電源電圧直流電位を持ち、電源電位以上の信号を出力するため、従来例のようなトランジスタ一段構成による回路を保護回路とした場合には、保護回路に電流が流れるバイアス条件が発生し、信号が歪むが、本発明では多段構造の保護回路を採用することから信号の歪みを抑止することができる。

【0069】(3) トランジスタはそれぞれ電気的に絶縁された半導体領域に形成されていることから、従来例のようなトランジスタ二段構成によるサイリスタを防止することができる。

【0070】(4) 高周波数帯の各内部回路29の入出力部分に設ける保護回路は、ダイオード接続されたトランジスタを多段接続構成にすることから、寄生容量が小さくなり、高周波回路の線形性や利得を劣化させなくなる。

【0071】(5) 上記のように、2種類の保護回路、即ち、多段構造の保護回路26及び一段の保護回路27をワンチップICに設けることにより、全体の静電破壊に対する高耐圧性を図ることができる。

【0072】(実施形態2) 図8は本発明の他の実施形態(実施形態2)である半導体集積回路装置の保護回路を示す。本実施形態2は図1に示す上記実施形態1の多段構造の保護回路において、ダイオード接続されたトラ

ンジスタとしてバイポーラトランジスタに代えてMOSFETとしたものである。MOSFETのゲートとソースは短絡されてダイオード接続されている。

【0073】第1の保護回路Aは、電源線31と信号線30間に耐圧保護回路を構成するMOSFET（トランジスタ）4331と、このMOSFET（トランジスタ）4331と信号線30間に接続される複数のMOSFET 4341～4341とからなる。第2の保護回路Bは、信号線30と接地線32間に、直列に多段接続した複数のMOSFET（トランジスタ）4351～4351kと、上記MOSFET 4351k接続した耐圧保護回路を構成するMOSFET（トランジスタ）4361からなる。第3の保護回路Cは、直列に接続した複数のMOSFET（トランジスタ）4311～4311nで構成されている。第4の保護回路Dは、直列接続された複数のMOSFET（トランジスタ）4321～4321mで構成されている。

【0074】このような構成の多段構造の保護回路26においても上記実施形態1と同様に正・負の静電気に起因する内部回路29の静電破壊を防止することができる。

【0075】以上本発明者によってなされた発明を実施形態に基づき具体的に説明したが、本発明は上記実施形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0076】以上の説明では主として本発明者によってなされた発明をその背景となった利用分野である無線通信装置に組み込む半導体集積回路装置に適用した場合について説明したが、それに限定されるものではない。本発明は信号を処理する半導体集積回路装置には適用できる。

【0077】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記のとおりである。

(1) 本発明によれば、高周波数帯と中間周波数帯を統合したワンチップICにおいて、中間周波数帯に適用する従来の一段のダイオード接続されたトランジスタからなる保護回路とは別に、高周波部回路に多段に直列接続された保護回路を設けることで、寄生容量が少なくなり、かつ $V_{gs}$ が上がり利得や線形性の劣化を防止できる。

【0078】(2) また、このように1チップIC内の各回路に構造の違う2種類の保護回路を設けることにより、多段接続の保護回路をIC内の全回路に適用するよりもチップ内で保護回路のトータル面積を小さくできる。

(3) 以上のようにしてIC全体の静電気に対する高耐圧化を実現できる。

【0079】(4) 正・負の静電気でICを確実に保

護できる静電破壊保護回路を有する無線通信用の半導体集積回路装置を提供することができる。

【0080】(5) 低周波回路（含む中間周波数帯の回路）及び高周波数帯の回路を静電破壊から保護できる保護回路を有する無線通信用の半導体集積回路装置を提供することができる。

【0081】(6) 高周波回路の線型性及び利得を劣化させることのない耐静電破壊に優れた無線通信用の半導体集積回路装置を提供することができる。

【図面の簡単な説明】

【図1】本発明の一実施形態（実施形態1）である半導体集積回路装置における内部回路に組み込まれる保護回路を示す回路図である。

【図2】上記保護回路の正・負の静電気に起因する静電破壊保護時の各電流経路を示す図表である。

【図3】上記保護回路を内部回路としての増幅器に組み込んだ回路図である。

【図4】上記増幅器の特性図である。

【図5】本実施形態1の半導体集積回路装置を組み込んだ無線通信装置の構成を示すブロック図である。

【図6】上記半導体集積回路装置における保護回路を構成するダイオード接続したトランジスタを示す断面図である。

【図7】上記無線通信装置の低周波内部回路に組み込む保護回路を示す回路図である。

【図8】本発明の他の実施形態（実施形態2）である半導体集積回路装置の内部回路に組み込まれる保護回路を示す回路図である。

【図9】従来の半導体集積回路装置を組み込んだ無線通信装置の構成を示すブロック図である。

【図10】従来の保護回路を示す回路図である。

【図11】従来の他の保護回路を示す回路図である。

【図12】従来の保護回路に用いるトランジスタ構造を示す模式的断面図である。

【図13】従来の保護回路に用いるトランジスタの静特性と高周波信号の動作を示す特性図である。

【図14】サイリスタの構造と動作原理を示す模式図である。

【符号の説明】

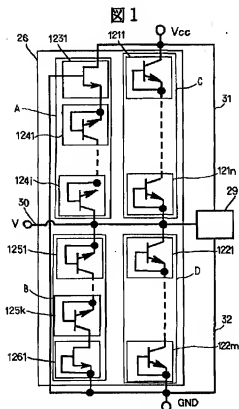
1…アンテナ、2…デュプレクサ、3…バンドパスフィルタ、4…低雑音増幅器、5…バンドパスフィルタ、6…受信ミキサ、7…バンドパスフィルタ、8…可変利得制御増幅器、9…復調器、10…電波（信号）、11…変調器、12…可変利得制御増幅器、13…送信ミキサ、14…バンドパスフィルタ、15…送信前段増幅器、16…高出力増幅器、17…バンドパスフィルタ、18、19…VCO、20…保護回路（静電破壊保護回路）、25…半導体ICチップ、26…多段構造の保護回路、27…一段の保護回路、29…内部回路、30…信号線、31…電源線、32…接地線、41…保護回

(株) 01-237372 (P2001-., 番

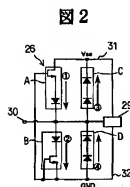
路、42…NMOSTランジスタ(トランジスタ)、43…NMOSTランジスタ(トランジスタ)、44…信号線、45…内部回路、46…高周波電圧、47…高周波電流、48…高周波電圧、49…高周波電流、51、52…ダイオード、53…信号線、54…内部回路、55…接地線、61…P型基板、62…N型エピタキシャル層、63…P型拡散層、64…N型拡散層、65…P型分離拡散層、66…二酸化シリコン膜、67…アルミ蒸着層、68…カソード電極、69…アノード電極、70…サイリスタ、71…SOI基板、72…シリコン板、73…二酸化シリコン層、74…N型エピタキシャル層、75…絶縁体、76…P型拡散層、77…N型拡散層、78…二酸化シリコン層、79…配線、80…コ

レクタ電極、81…ベース電極、82…エミッタ電極、83…N型拡散層、90…回路、91…保護回路、92a~92i…ダイオード接続されたバイポーラトランジスタ、93…トランジスタ、94…コレクタ、95…入力整合回路、96…出力整合回路、1211~121n、1221~122m、1241~124i、1251~125k…ダイオード接続されたトランジスタ(バイポーラトランジスタ)、1231、1261…MOSトランジスタ(耐圧保護回路)、4311~431n、4321~432m、4341~434i、4351~435k…ダイオード接続されたトランジスタ(MOSFET)、4331、4361…MOSトランジスタ(耐圧保護回路)。

【図1】

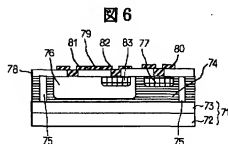


【図2】



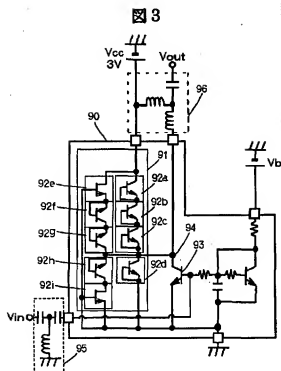
No.	番号するV <sub>cc</sub> と電位差	電流回路
1	V <sub>cc</sub> (-), GND(+)	①~②
2	V <sub>cc</sub> (+), GND(-)	③
3	GND(+), V <sub>cc</sub> (-)	④
4	V <sub>cc</sub> (-), GND(+)	⑤
5	V <sub>cc</sub> (+), GND(-)	⑥~⑦
6	GND(+), V <sub>cc</sub> (-)	⑧

【図6】

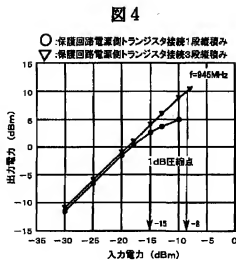


(組1) 001-237372 (P2001-#今寄)

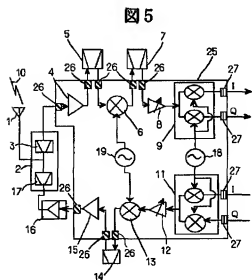
【図3】



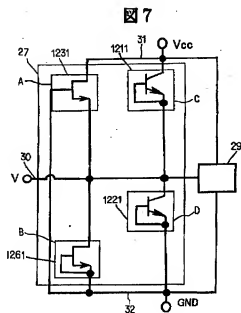
【図4】



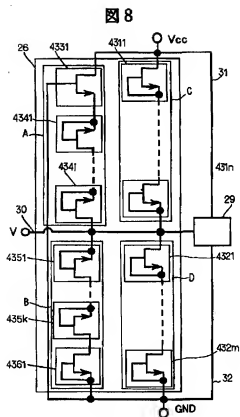
【図5】



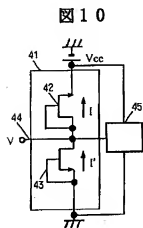
【図7】



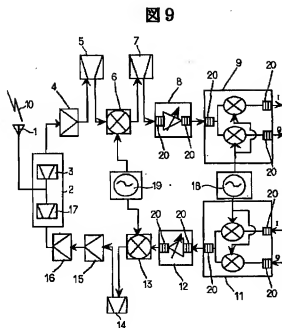
【図8】



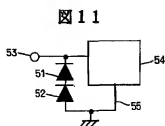
【图 10】



【图9】

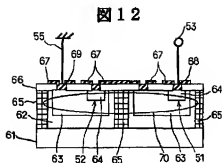


【图 11】

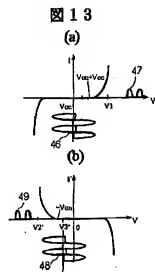


(続3) 101-237372 (P2001-8) 審査

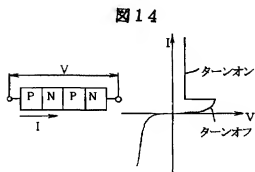
【図12】



【図13】



【図14】



フロントページの続き

(72)発明者 笠原 真澄

東京都小平市上水本町五丁目20番1号 株  
式会社日立製作所半導体グループ内

Fターム(参考) 5F038 BH04 BH06 BH07 BH13 EZ20